

Diagrama de bloque de un circuito secuencial

Circuitos Secuenciales

FCHE 2011

Elementos de Memoria

Latches y FlipFlop(Resumen)

Circuito secuencial

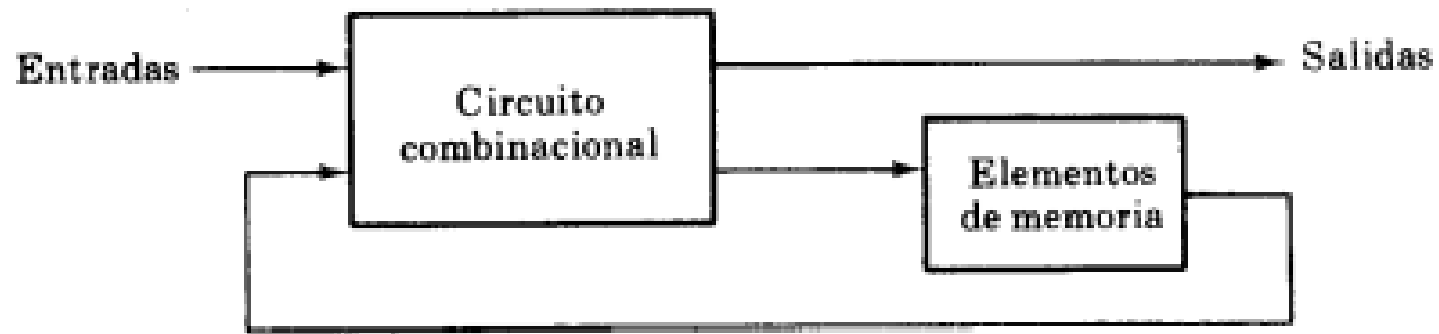
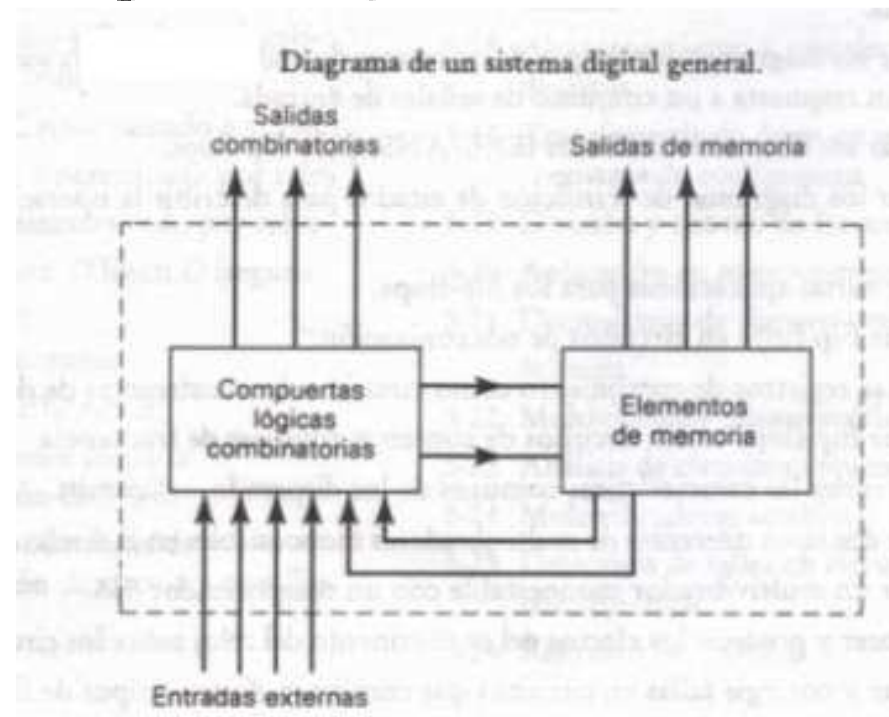


Diagrama de bloque de un circuito secuencial



Latches, FlipFlop(FF),Registros*

- Definiciones.
- Latches: significa “candado” porque permite guardar el “1” o “0”, y no lo deja salir.
- FlipFlop, es una Onomatopeya que no significa nada, su sonido de pronunciación nos evoca dos cosas, dos estados (otro ej.YIN/ YAN), también se les llama BIESTABLES(2 estados).
- Registro: registra o almacena datos.
- *Registros básicos solamente.

Función

- Existen autores que mezclan FF y los latches, y una de sus aplicaciones son los registros, otros autores dicen que todos son registros básicos. Otros autores separan FF contra Latches.

¿Que es lo común en todos?

- Son elementos de memoria, porque almacenan información.
- Un elemento almacena UN BIT solamente
- El bit contenido se refieren a un tipo de estado.
- Cada elemento puede tener uno de los dos estados 0 o 1.
- Se dice que un elemento de memoria cambia de estado si cambia de 0 a 1 o viceversa.
- El valor de su estado siempre esta en su salida. Por lo tanto, el contenido del FF es el valor del estado que siempre esta directamente a su salida.

Diferencias en su Función

FF
(o registros basicos o biestable)

Respecto a varios autores
Diferencias
entre
y

Latch

Cambia de estado solamente cuando existe una transicion de reloj. Despues del pulso, la señal habilitada y su duracion permanecen constantes.

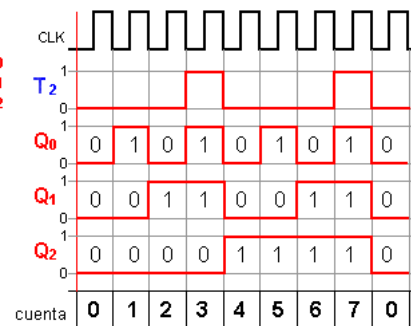
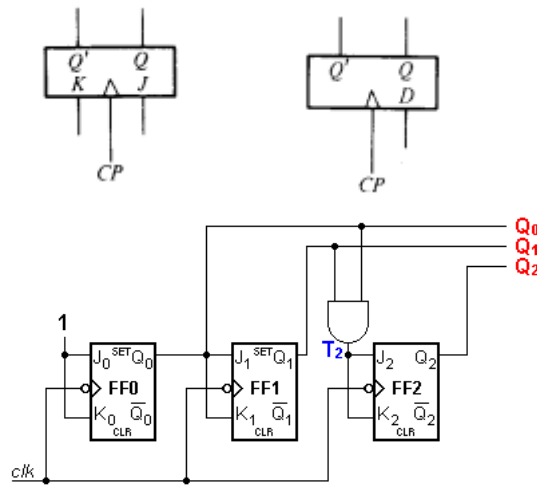
Cuando se habilita; su estado cambia inmediatamente, cuando sus entradas cambian.

Recuerda permanenciando constante el valor aun si las entradas cambian.

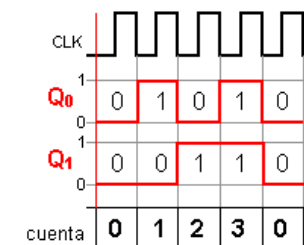
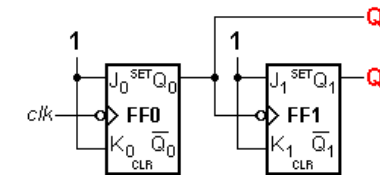
Cuando esta deshabilitado; mantiene su recuerdo constante, recuerda su estado previo.

Circuitos Secuenciales

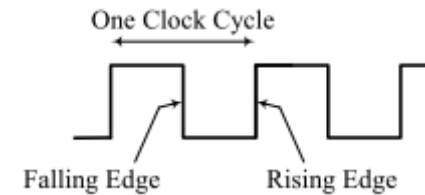
SINCRONOS (BASE: Pulsos de reloj)



Asíncronos



Reloj



```
Clk: OUT STD_LOGIC);
END Clockdiv;

ARCHITECTURE Behavior OF Clockdiv IS
  CONSTANT max: INTEGER := 25000000;
  CONSTANT half: INTEGER := max/2;
  SIGNAL count: INTEGER RANGE 0 TO max;
BEGIN
  PROCESS
  BEGIN
    WAIT UNTIL Clk25Mhz'EVENT and Clk25Mhz = '1'
    IF count < max THEN
      count <= count + 1;
    ELSE
      count <= 0;
    END IF;
    IF count < half THEN
      Clk <= '0';
    ELSE
      Clk <= '1';
    END IF;
  END PROCESS;
END Behavior;
```

VHDL behavioral description of a clock-divider circuit.

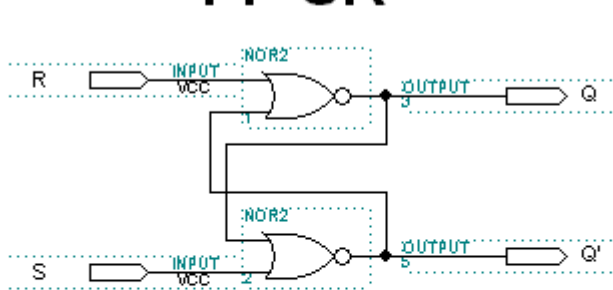
shows a VHDL description of a clock-divider circuit that roughly cuts a 25 MHz clock down to 1 Hz.

The speed of the clock, measured in hertz (Hz),

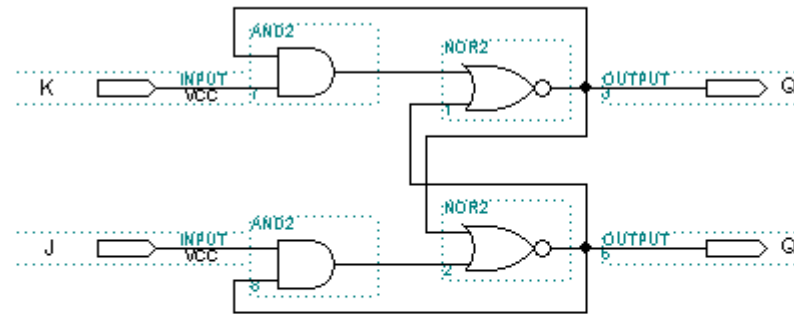
clock **period** time for one clock cycle (seconds per cycle)

Flip Flops

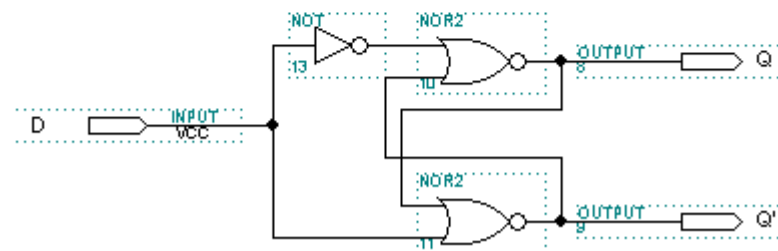
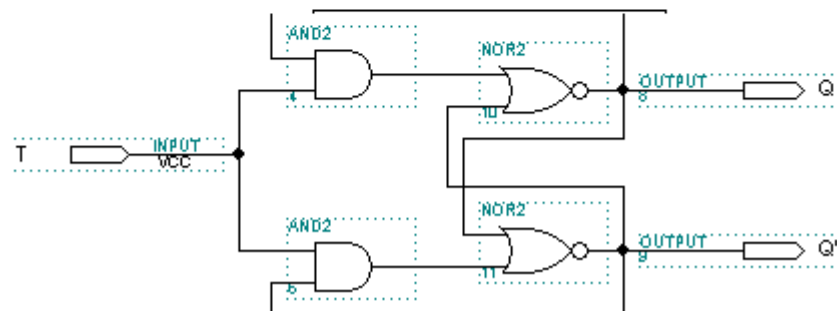
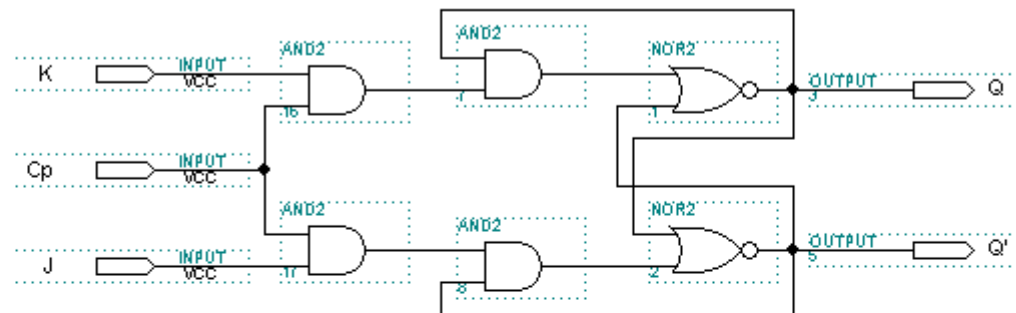
FF SR

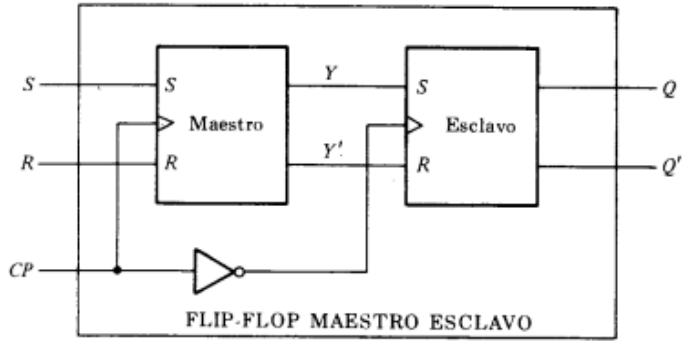


S	R	Qk (estado actual)
0	0	Qk -1 (estado anterior)
0	1	0
1	0	1
1	1	* (estado no permitido)



J	K	Qk (estado actual)
0	0	Qk -1 (estado anterior)
0	1	0
1	0	1
1	1	Qk -1 (estado anterior negado)





Aplicaciones

Contadores

Registros

