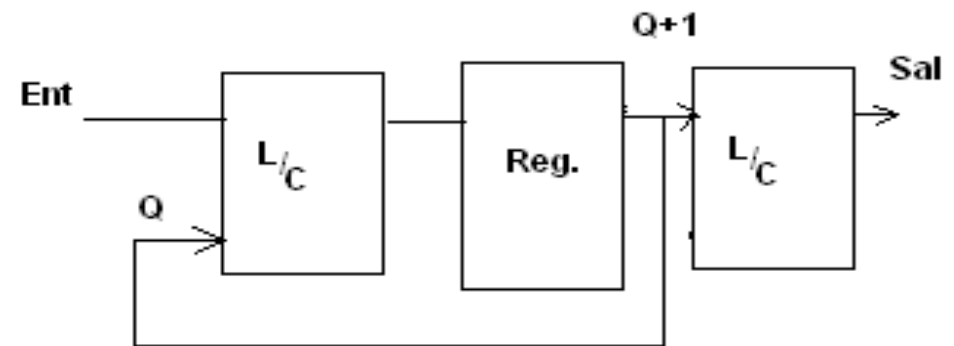
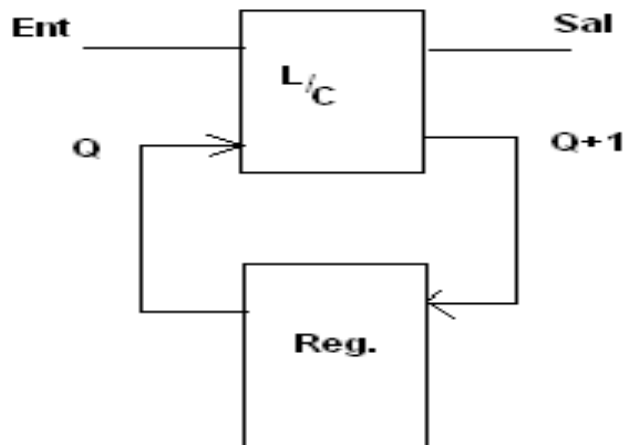
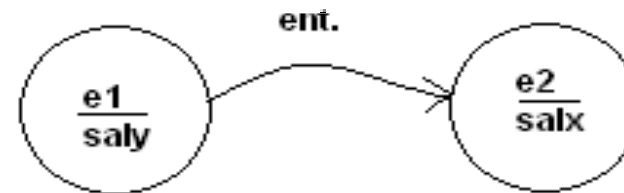
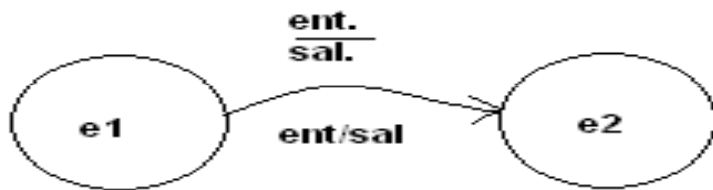


# Modelos de Circuitos Secuenciales: Mealy y Moore

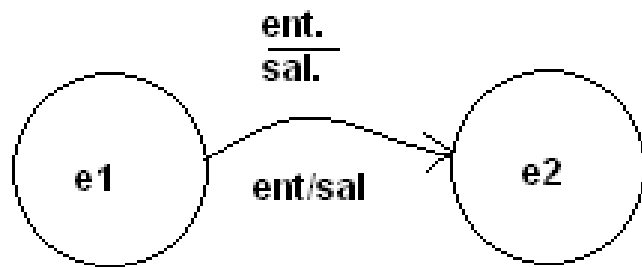
FCHE 2011

# Modelos/Maquinas/Autómatas

- Mealy: las salidas están en función de dos, el estado presente y las entradas.
- Moore: Las salidas están en función del estado presente solamente.



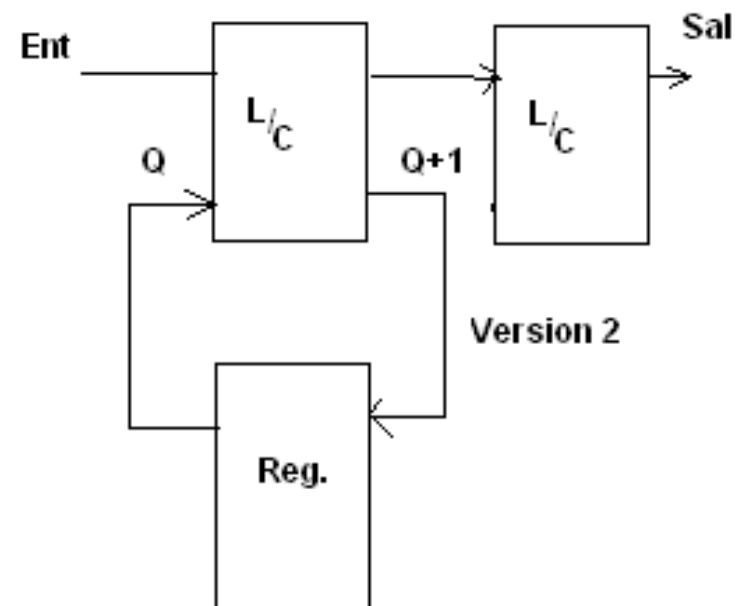
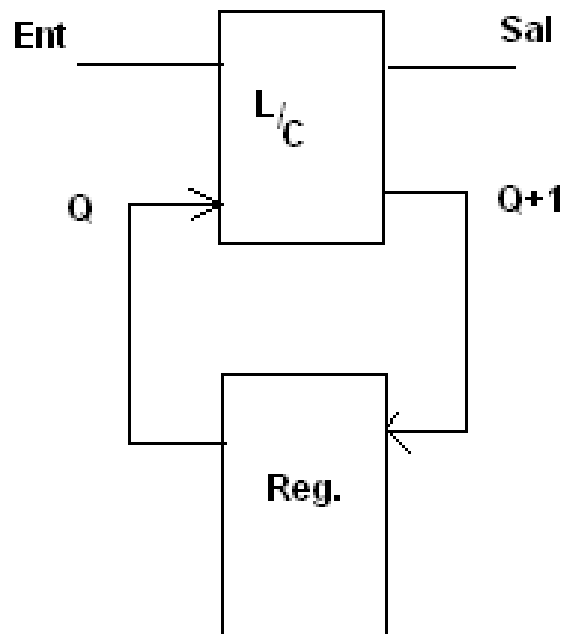
# Mealy:



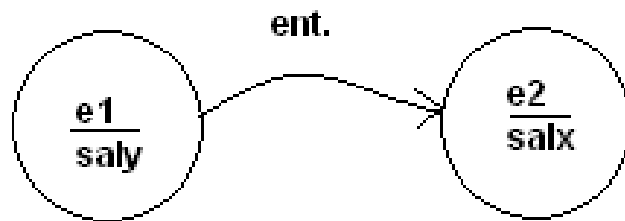
Dado el estado actual  $Q$ . Si llega un valor a la entrada el circuito de lógica / combinacional (L/C) calcula el estado siguiente y la salida.

Cuando llega un pulso de reloj, se captura el nuevo estado.

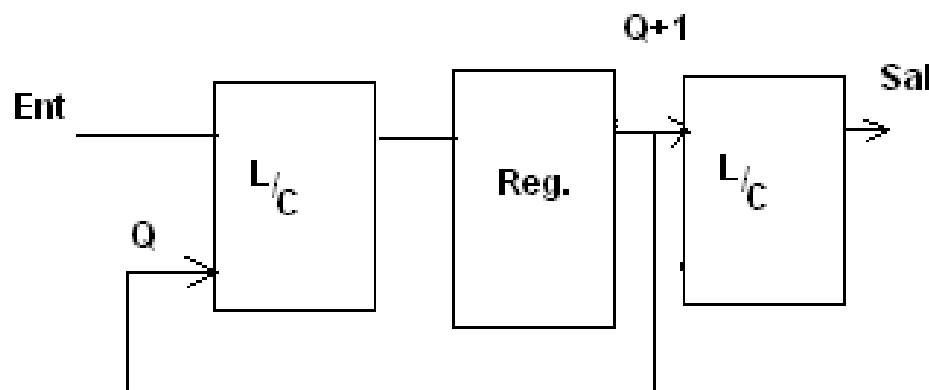
Defecto: Con el pulso de reloj se captura el nuevo estado y el L/C recalcula otro estado y una nueva salida.



# Moore:



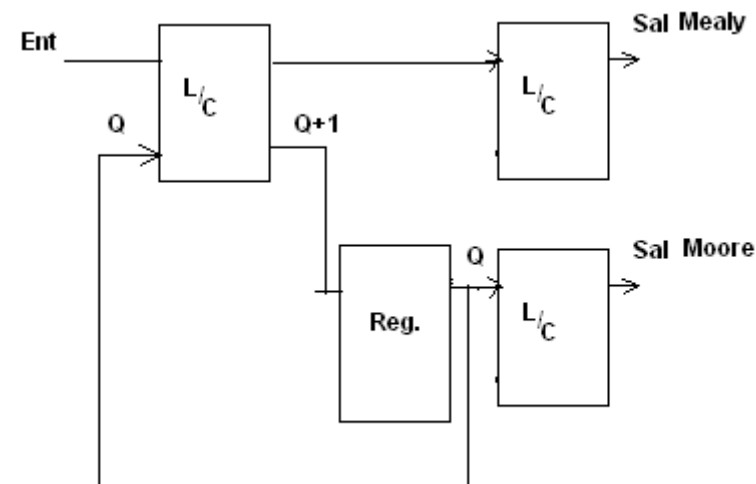
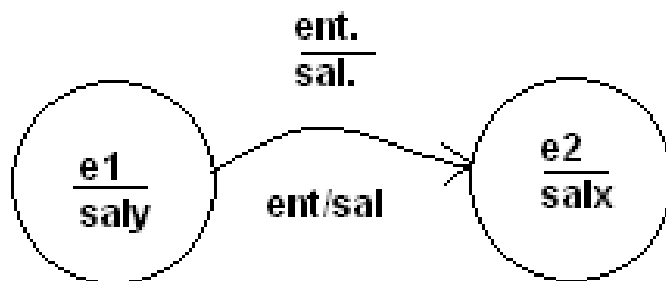
Los estados de los circuitos son también las salidas del mismo. Es muy usado para generar secuencias de conteo ya que requiere menos circuitos combinatoriales.



En la maquina de moore, la salida se toma directamente del registro, por lo que no necesita logica combinatorial para sintetizar la salida.

# Autómata Mealy/Moore

- El autómata híbrido Mealy/Moore modela un ente que va de un estado actual  $Q$  a un estado siguiente  $Q+1$ .
- Se genera una salida Mealy debido a la transición entre estados.
- Se genera una salida Moore debido al estado actual del ente.



# Mealy/Moore

- La señal de entrada se opera entre transiciones de reloj generándose:
  - Tendencia a un nuevo estado
  - La salida Mealy.
- Llega salida Moore:
  - Se captura nuevo estado
  - Se calcula salida Moore
- Si la entrada oscila la señal oscila.

# Ejemplo1. Moore

1011

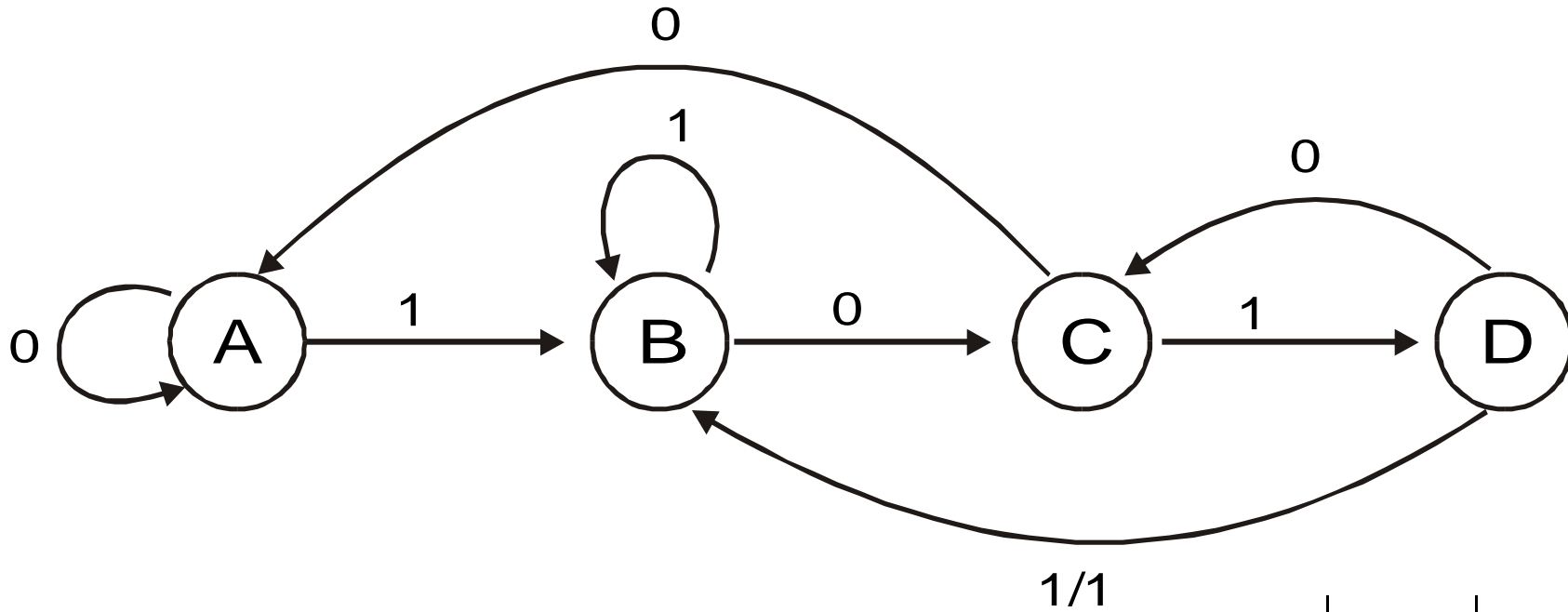


Tabla de estados/salida

Estado	0	1
A	A	B
B	C	B
C	A	D
D	C	B/1

# Diagrama de estados

1100

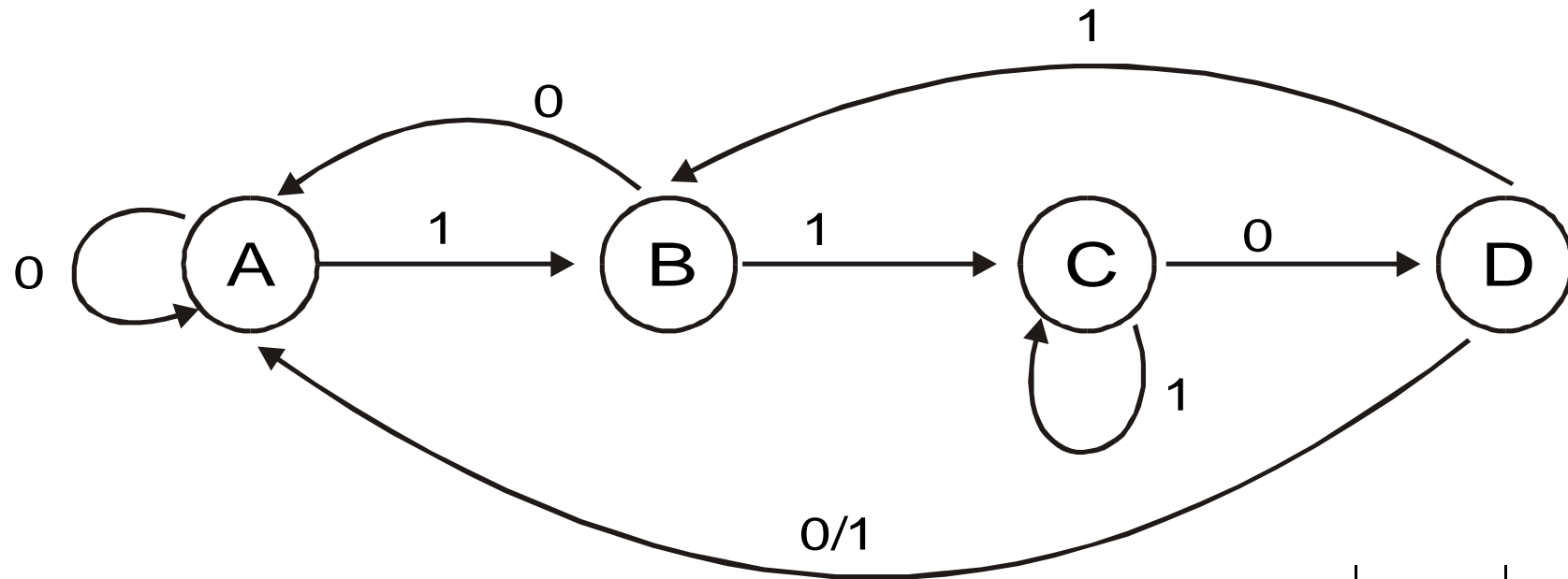


Tabla de estados/salida

Estado	0	1
A	A	B
B	A	C
C	D	C
D	A/1	B

# Diagrama de estados

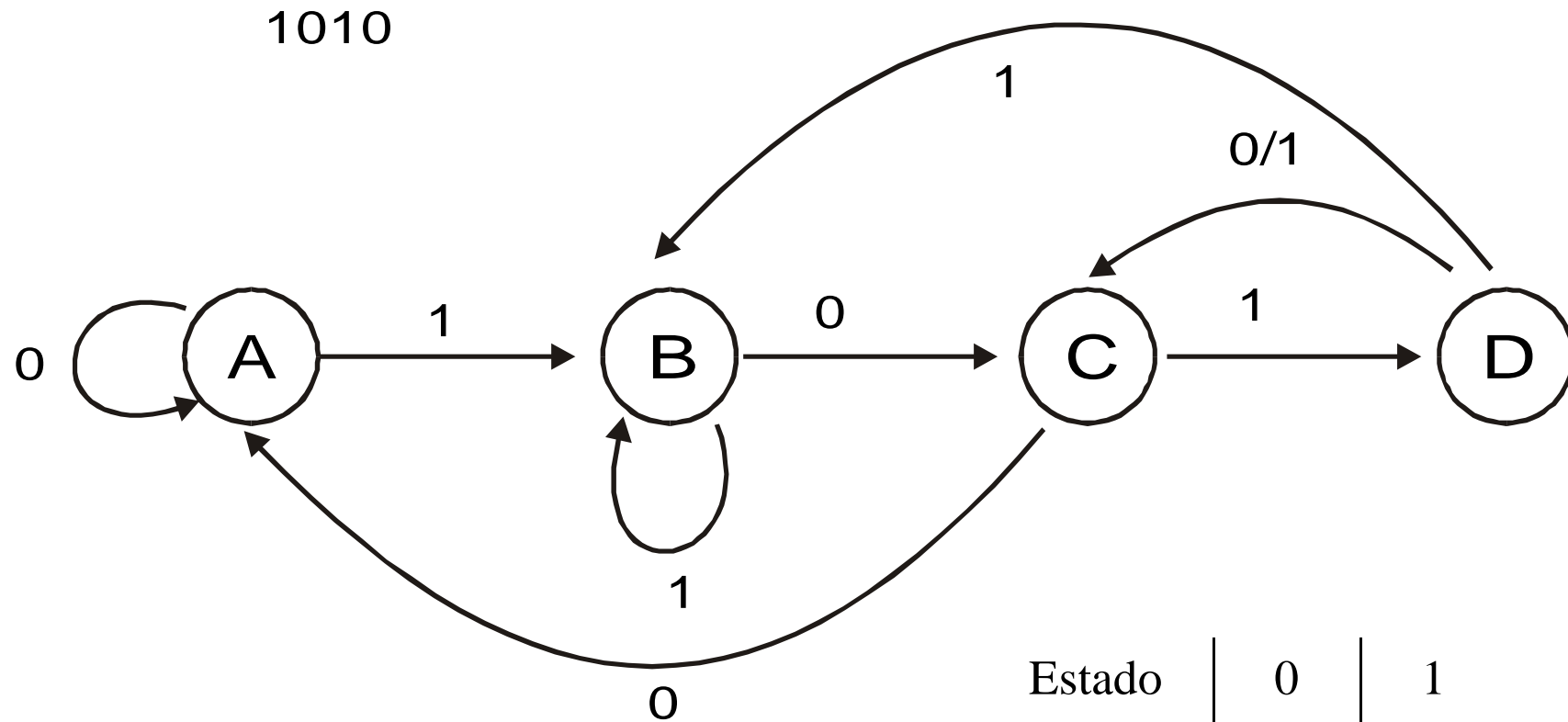
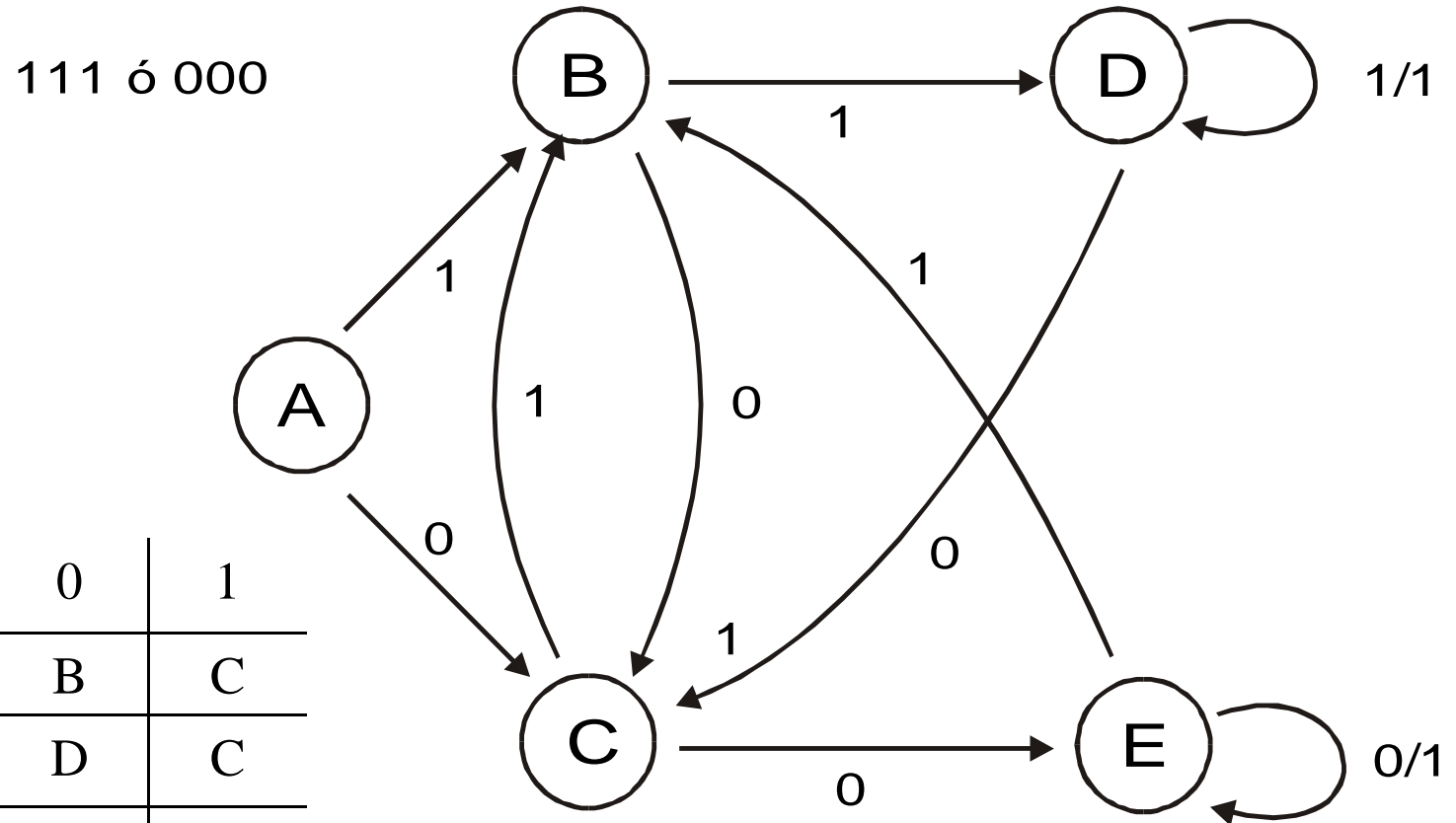


Tabla de estados/salida

Estado	0	1
A	A	B
B	C	B
C	D	A
D	C/1	B

# Diagrama de estados



Estado	0	1
A	B	C
B	D	C
C	E	B
D	C	D/1
E	E/1	B

Tabla de estados/salida

# Ejemplo MEF(maq. Edo. Finito)

## Sumador Serial

Los sumadores rápidos son mas complejos y mas costosos; si la velocidad no es un aspecto muy significativo, entonces una opción económica es utilizar un sumador serial, en el que los bits se suman un par a la vez.

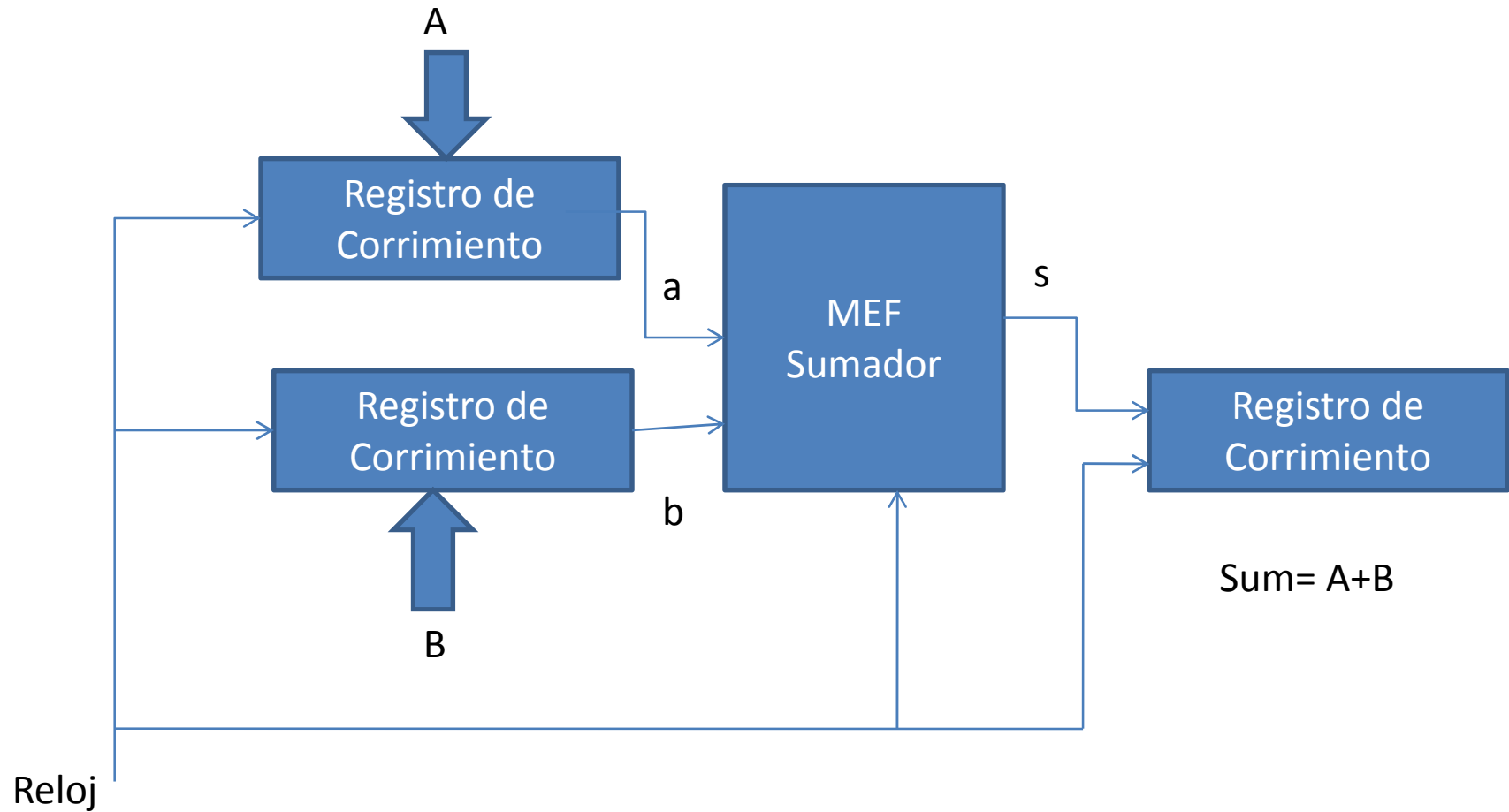
Dos números sin signo.

Sea  $A = a_{n-1}, a_{n-2}, \dots, A_0$  y  $B = b_{n-1}, b_{n-2}, \dots, b_0$  suma  $\Rightarrow S_{n-1}, S_{n-2}, \dots, S_0$

La tarea es diseñar un circuito que realice la suma serial usando un par de bits en un ciclo de reloj.

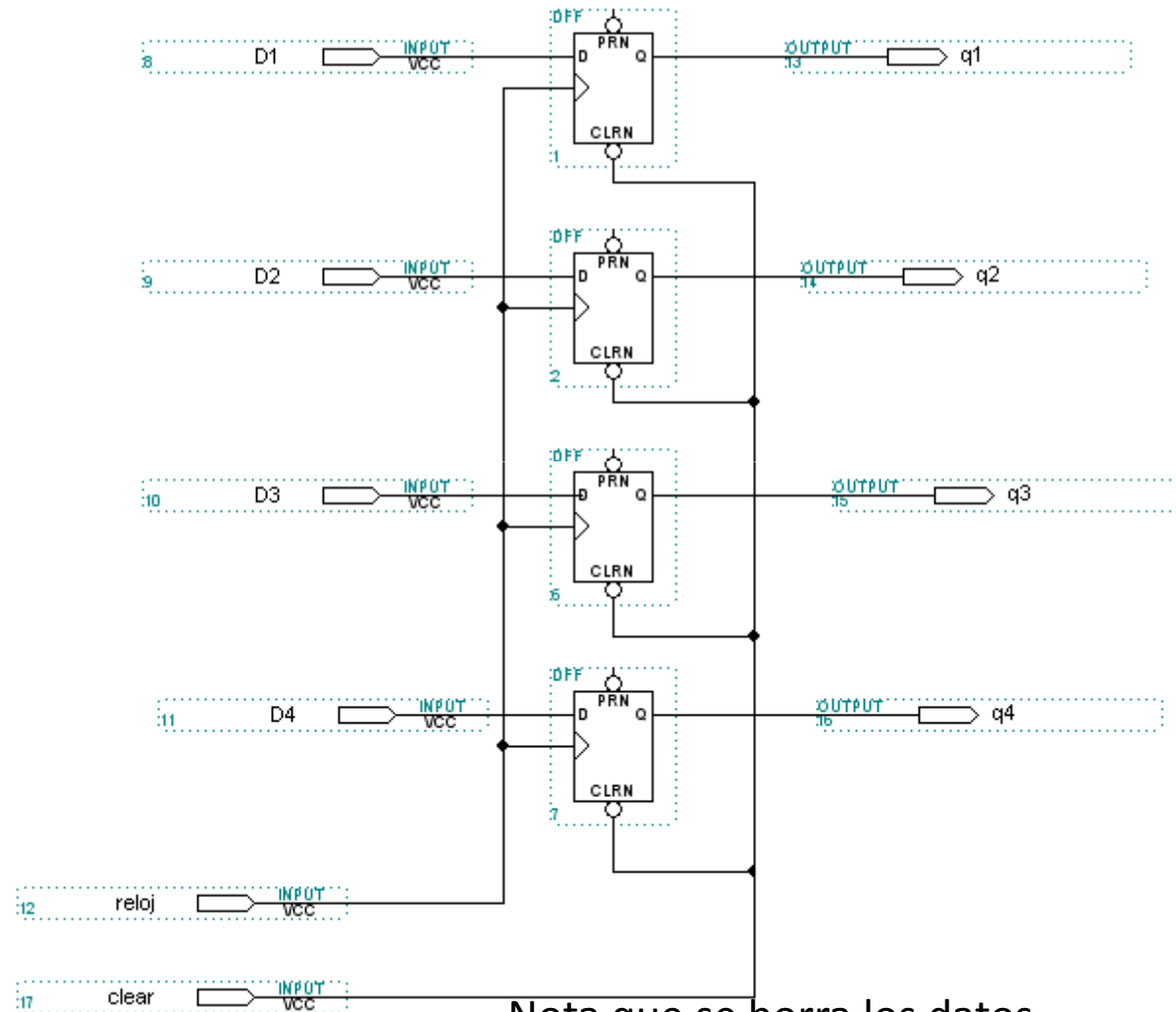
Primer ciclo  $a_0 + b_0$ , segundo ciclo  $a_1 + b_1$ , (incluido un posible acarreo del bit 0 ) etc.

# Diagrama de Bloques



# Recordatorio. Registros1

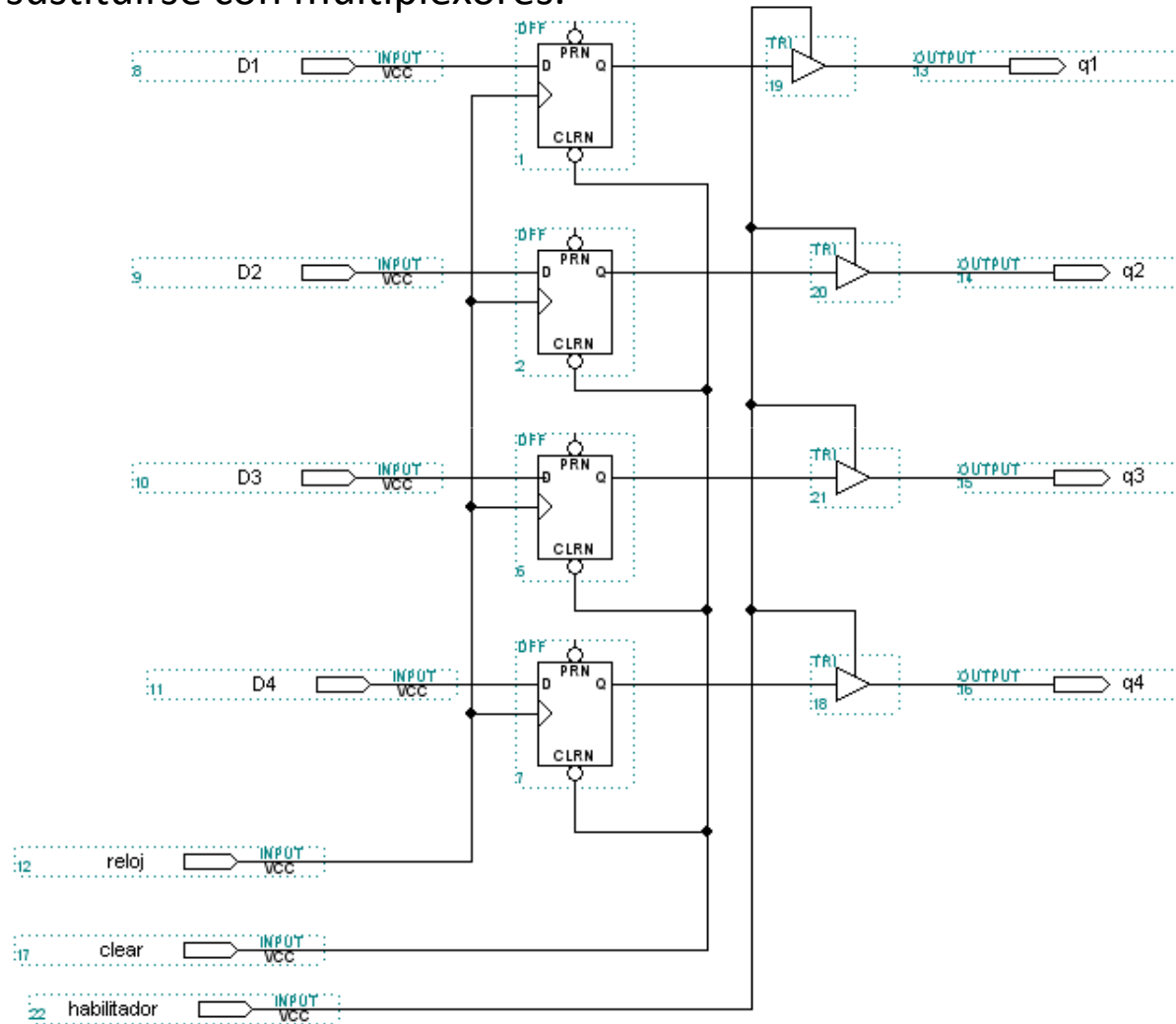
Los sistemas digitales suelen contener un conjunto de registros empleados para almacenar datos



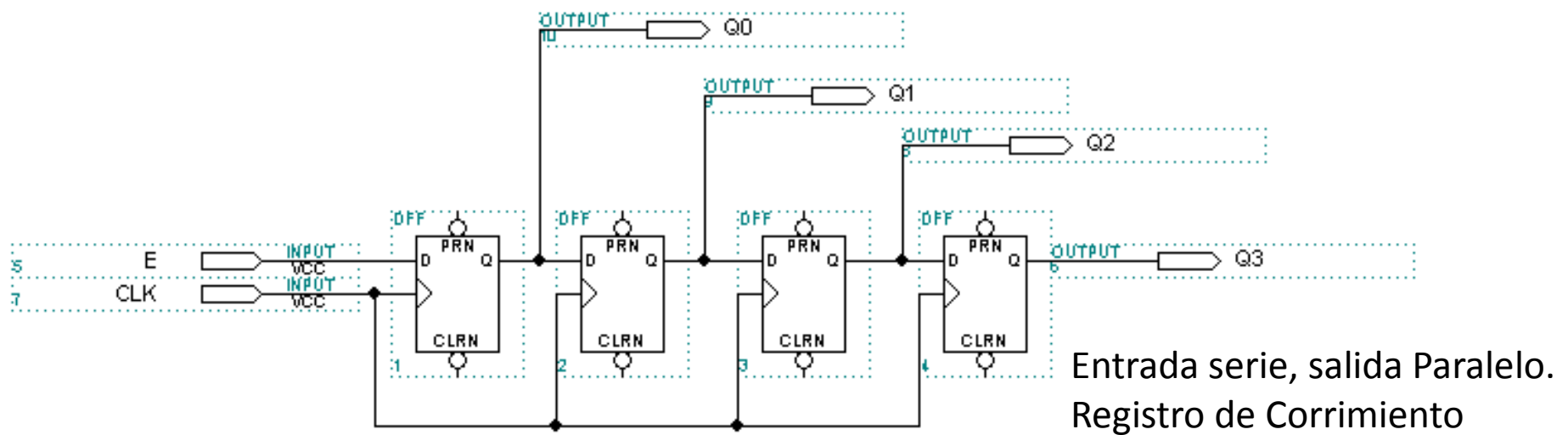
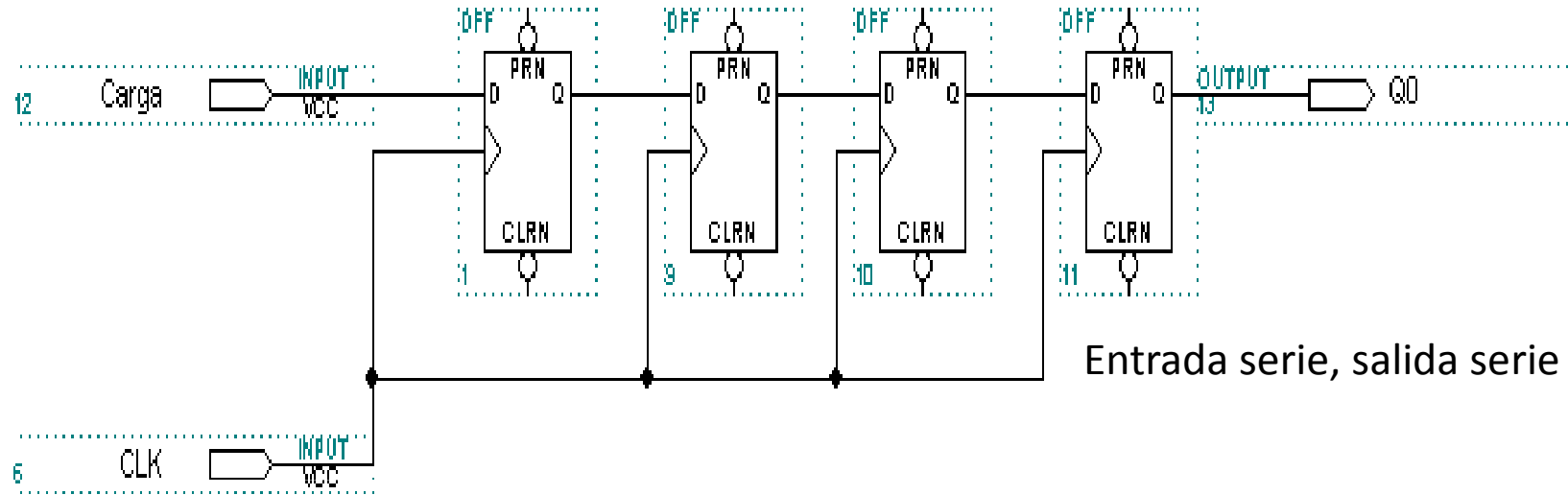
Nota que se borra los datos al mismo tiempo con el clear.

# Recordatorio. Registros2

Nota que se controla la salida con un bufer triestado. Puede sustituirse con multiplexores.

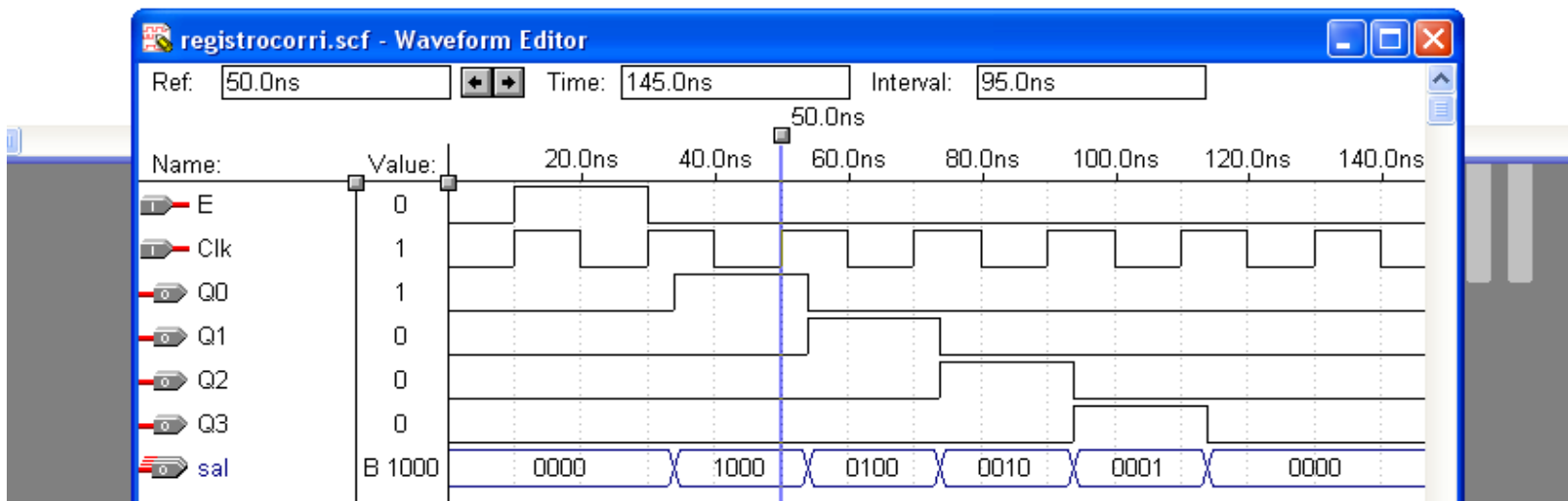
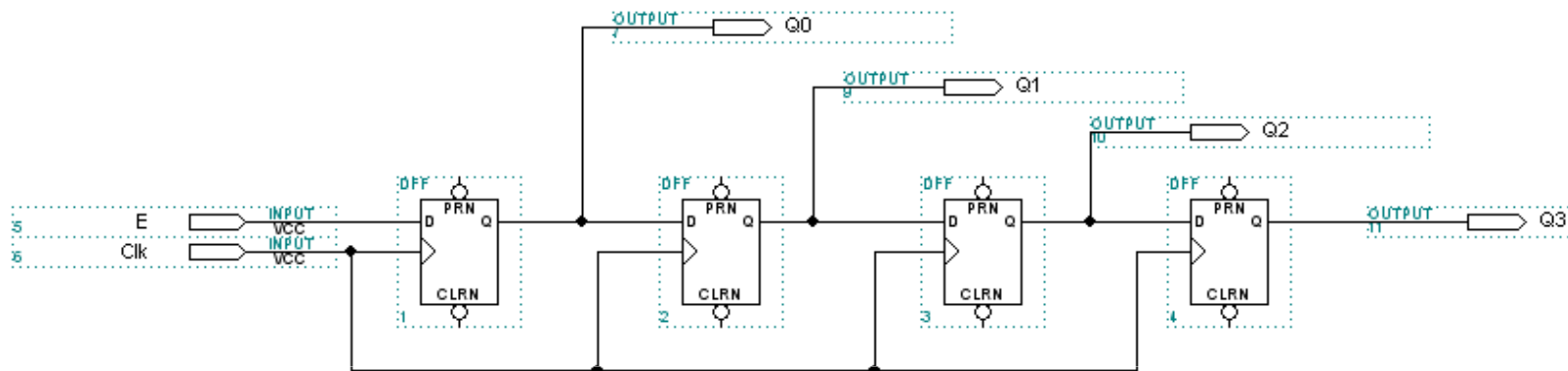


# Recordatorio. Registros3



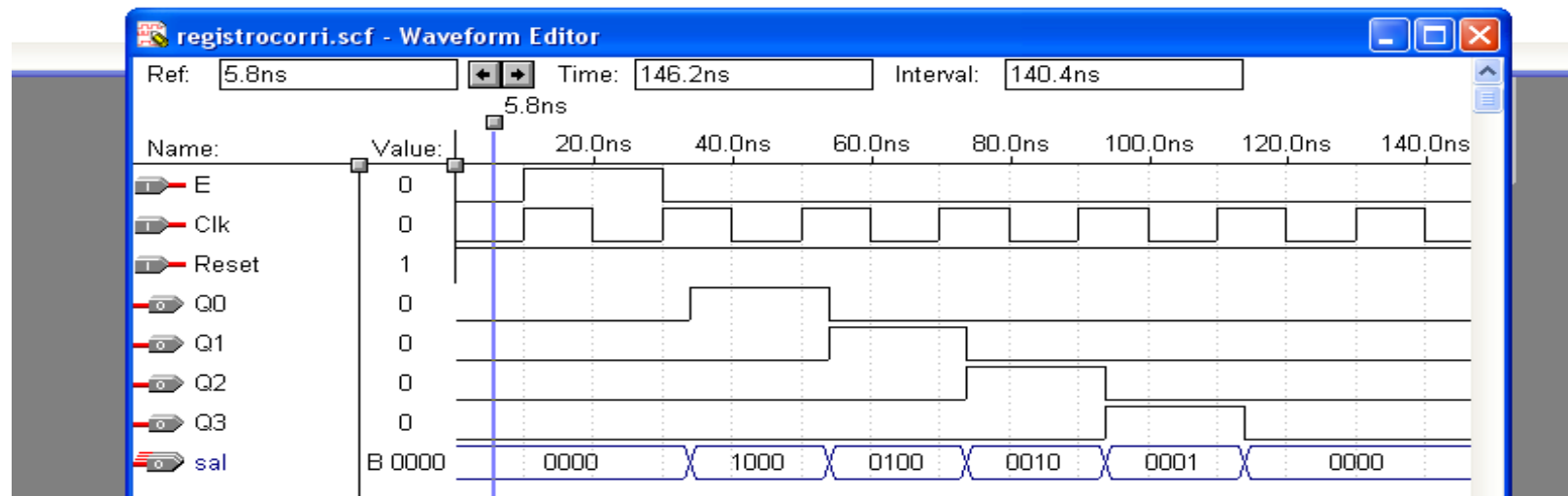
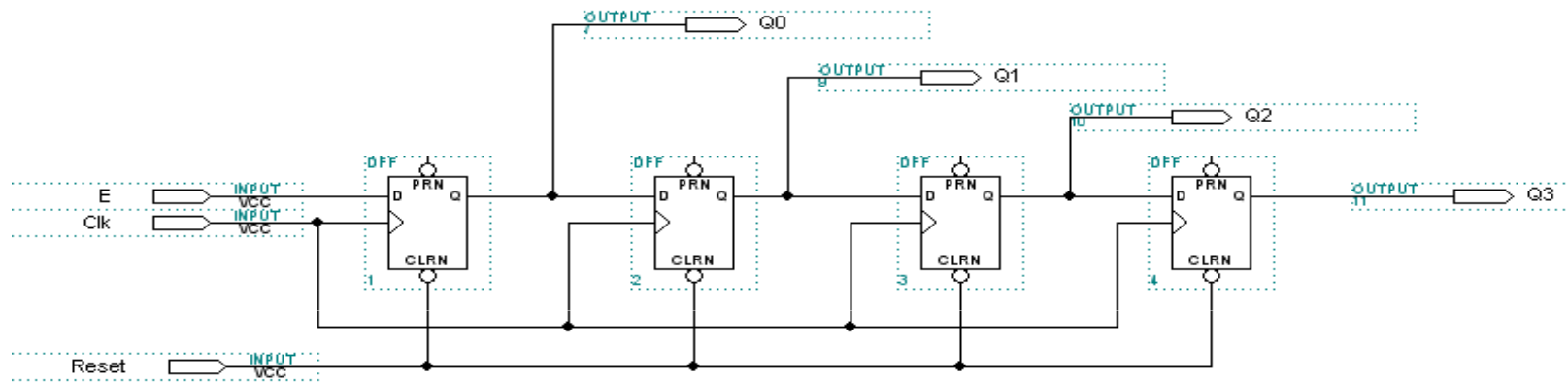
# Recordatorio. Registro de Corrimiento

## Un pulso a la entrada se transmite...

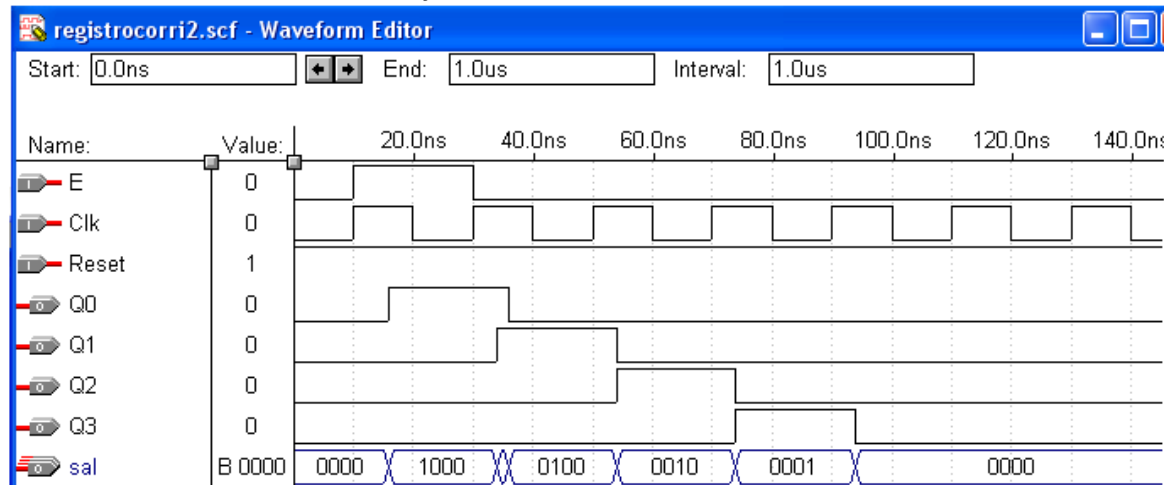
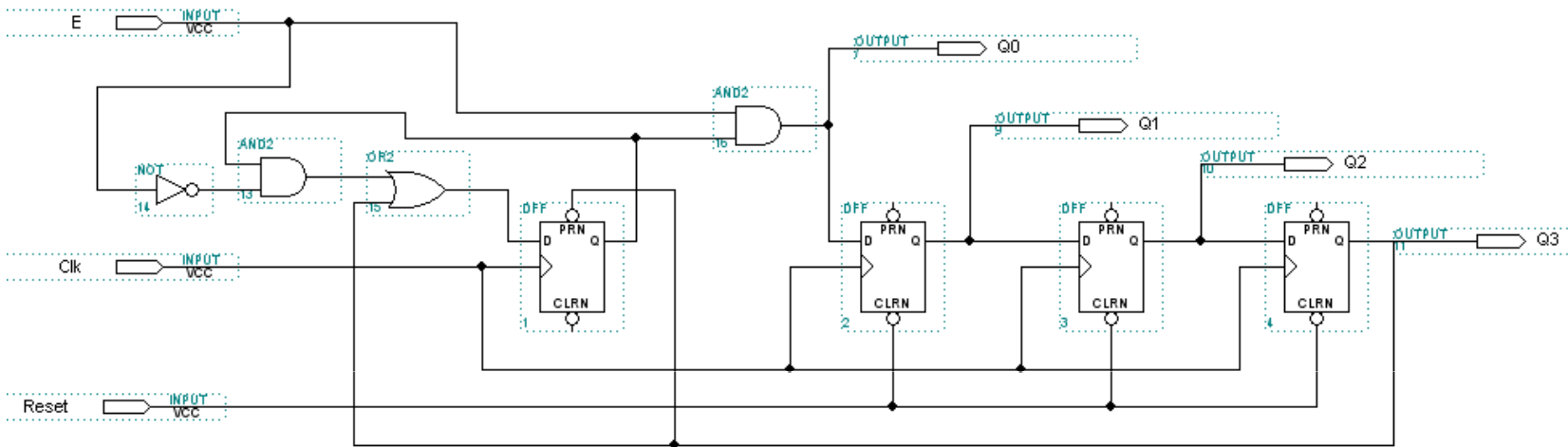


Sal=> es la misma salida que los Qs solo se copió q1, q2 y q3; y se agrupo ( tipo decimal)

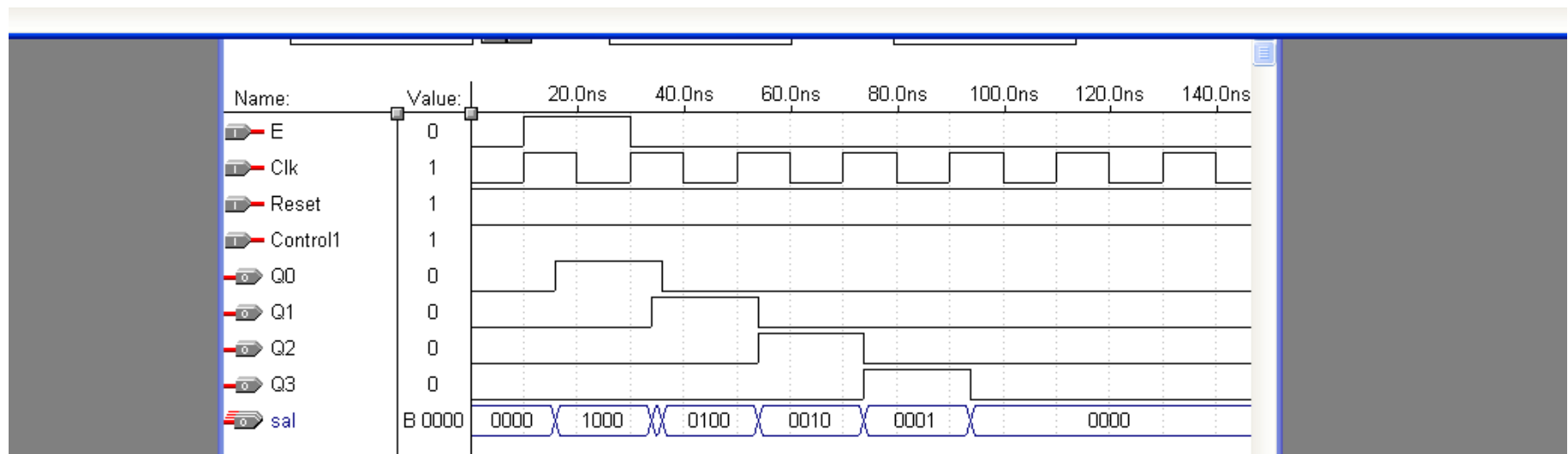
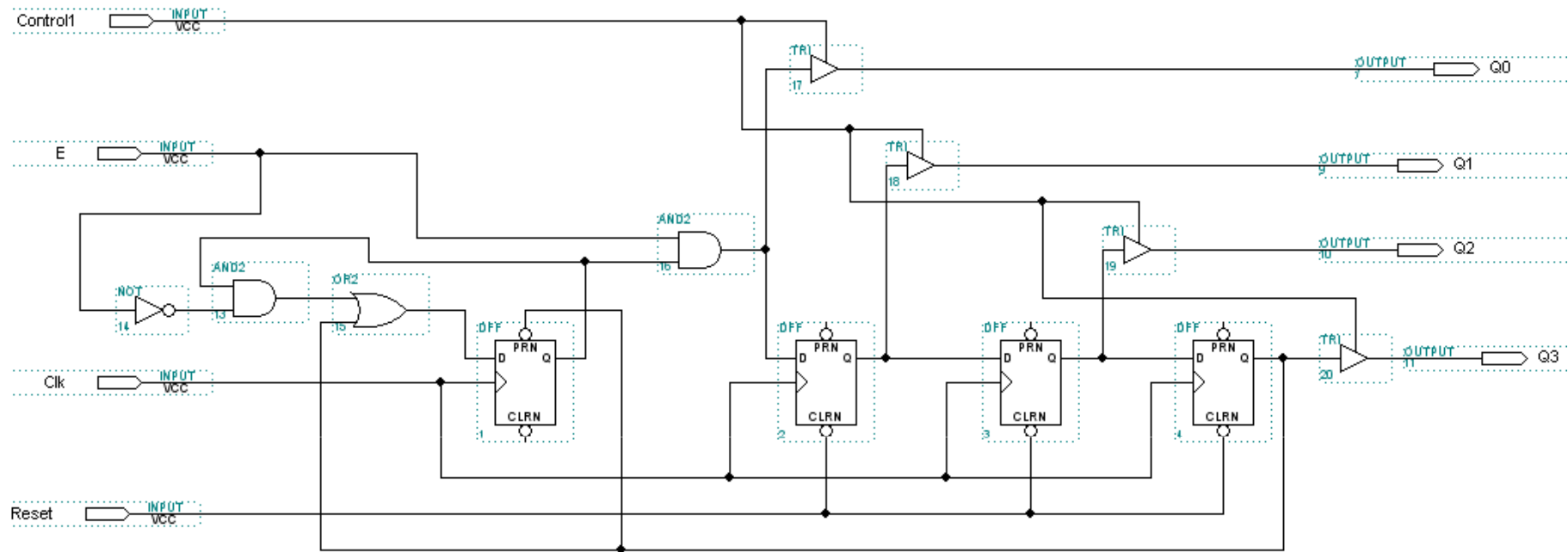
# Circuito de Control de registro de corrimiento



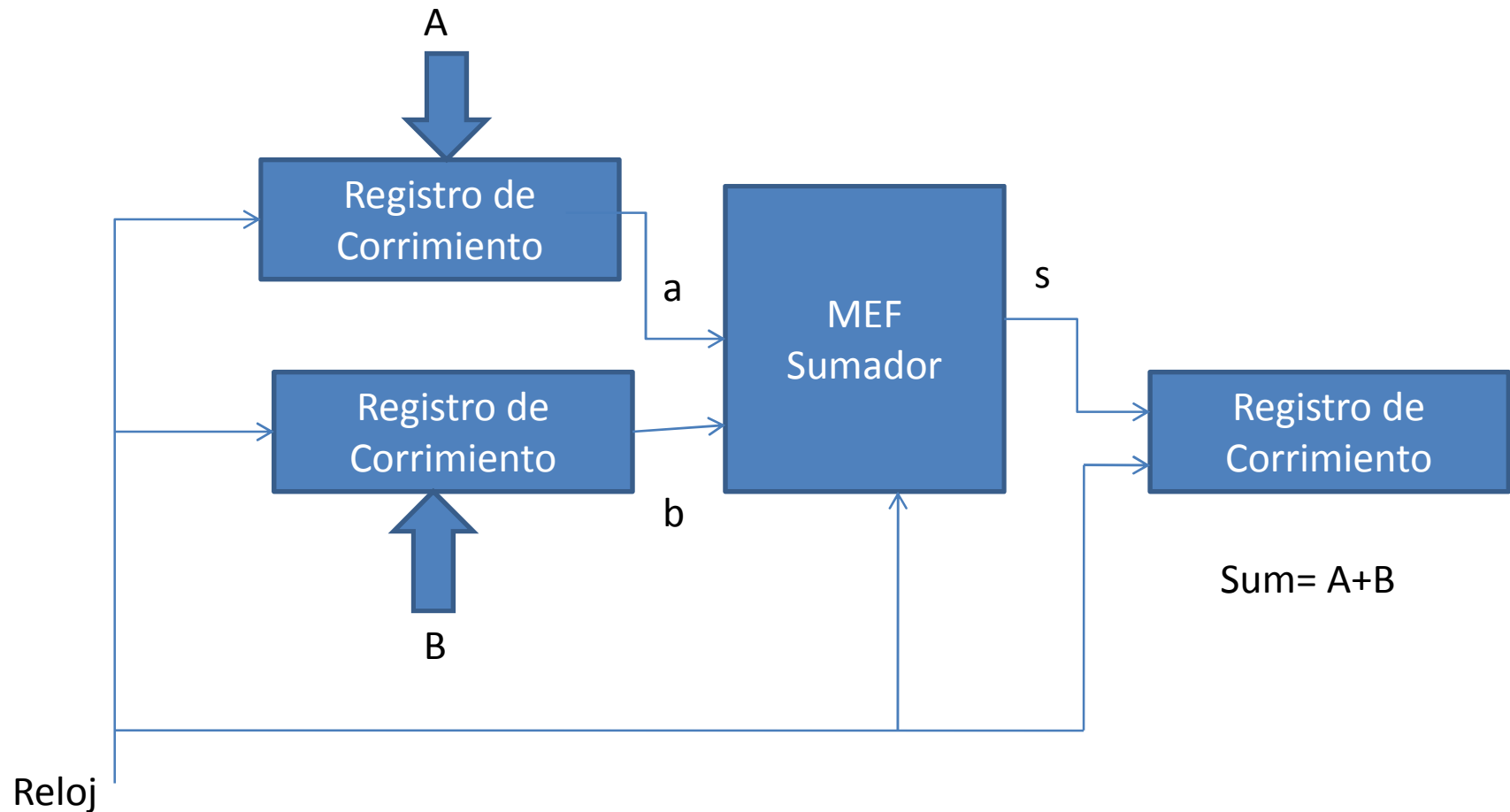
# Control modificado, respuesta mas rápida.



# Control + Control de envió



# Retomando..Diagrama de Bloques



En A y B se tiene en cada uno un BUS, conjunto común de cables.  
A[1],A[2], etc.

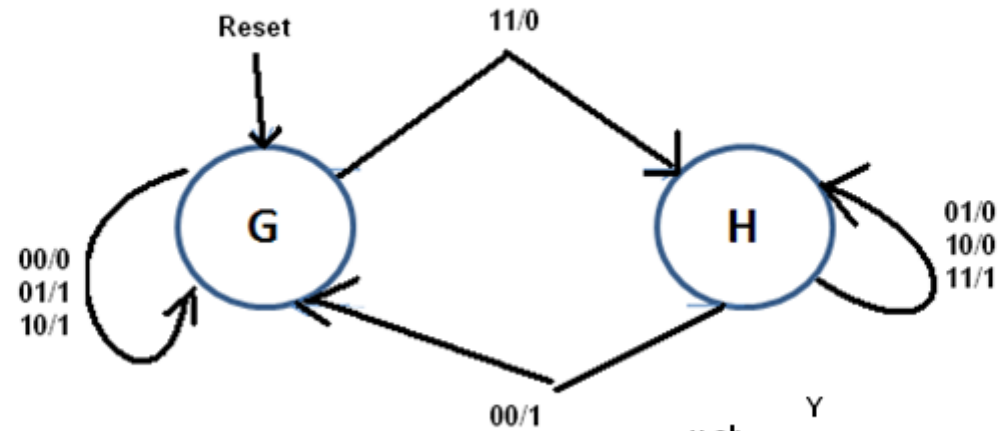
# ....Sumador Serial

Suponemos que cada registro de corrimiento en la entrada están cargados con los valores de A y B. Entonces en cada ciclo de reloj la maquina de estados sumadora suma un par de bits y al final del ciclo el bit de suma resultante se desplaza hacia el registro de SUM

Requerimos FF, cada uno con los retrasos de propagación propios , en ese momento el contenido de los tres FF se desplaza hacia la derecha y el bit de suma existente en SUM se desplaza; y se presentan otro par de bits a la entrada.

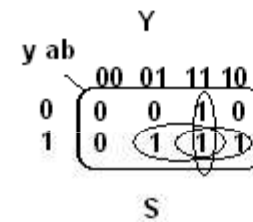
Tenemos dos estados: cuando el acarreo de entrada=0 y acarreo=1

# Diagrama de Estado Mealy

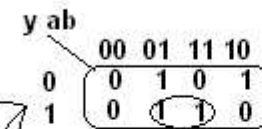


Q	Entrada	Q+1	Salida
y	ab	Y	S
G	00	G	0
	01	G	1
	10	G	1
	11	H	0
H	00	G	0
	01	H	1
	10	H	0
	11	H	1

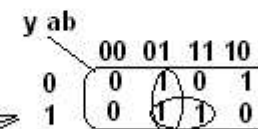
Q	Entrada	Q+1	Salida
y	ab	Y	S
0	00	0	0
	01	0	1
	10	0	1
	11	1	0
1	00	0	0
	01	1	1
	10	1	0
	11	1	1



$$Y = ab + ay + by$$

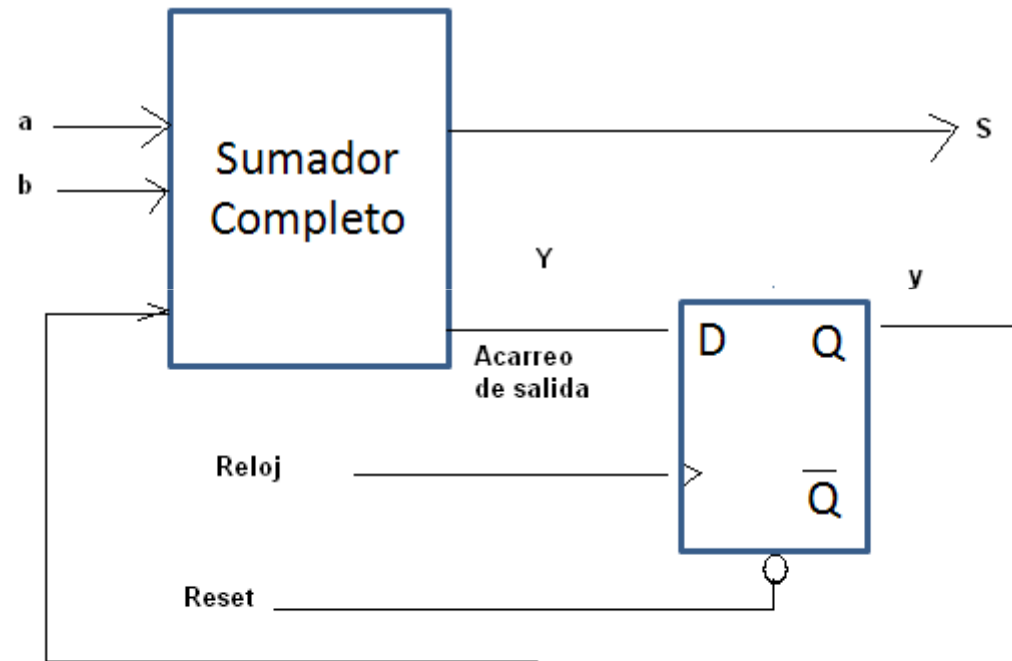


$$S = a \oplus b \oplus y$$



$$s = yb + \bar{y}a\bar{b} + \bar{a}b$$

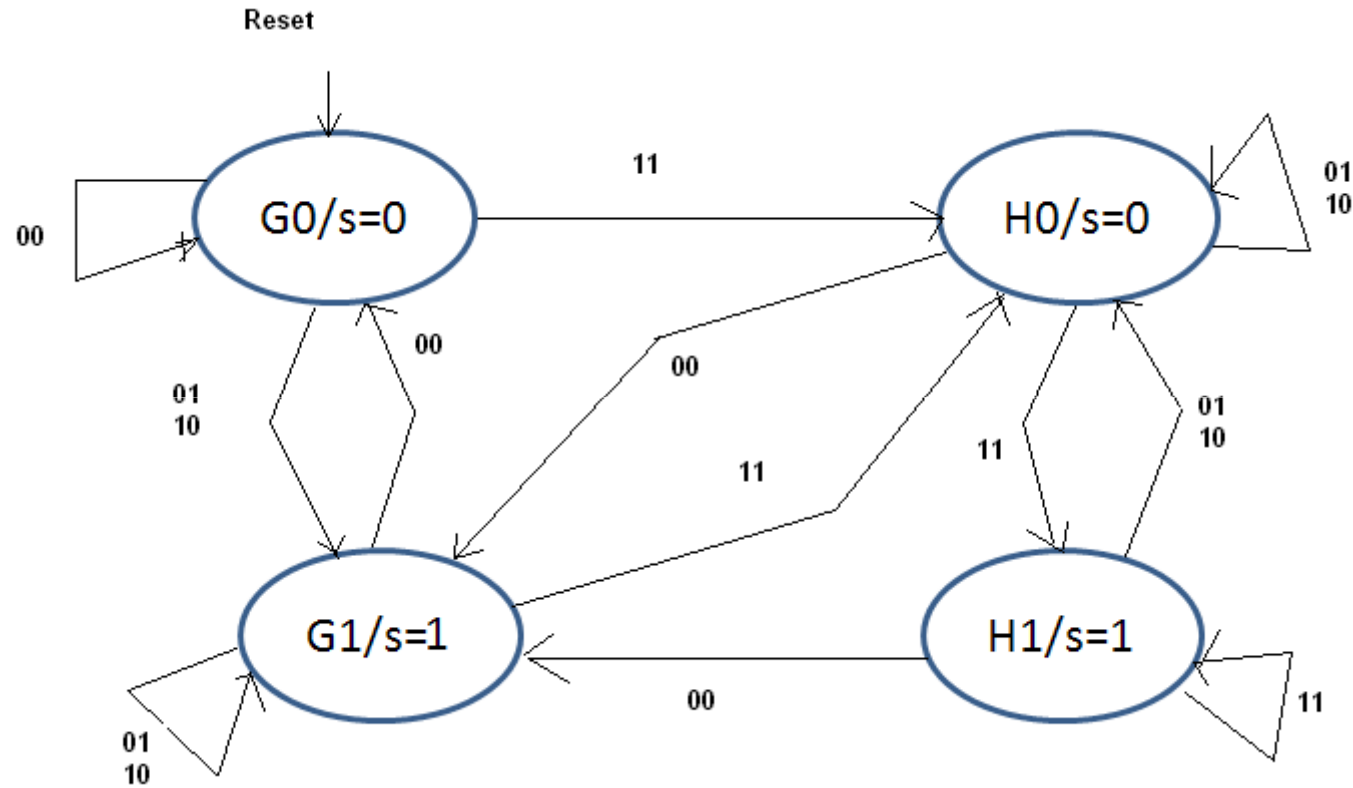
# Circuito Sumador con Mealy



$$Y = ab + ay + by$$

$$S = a \oplus b \oplus y$$

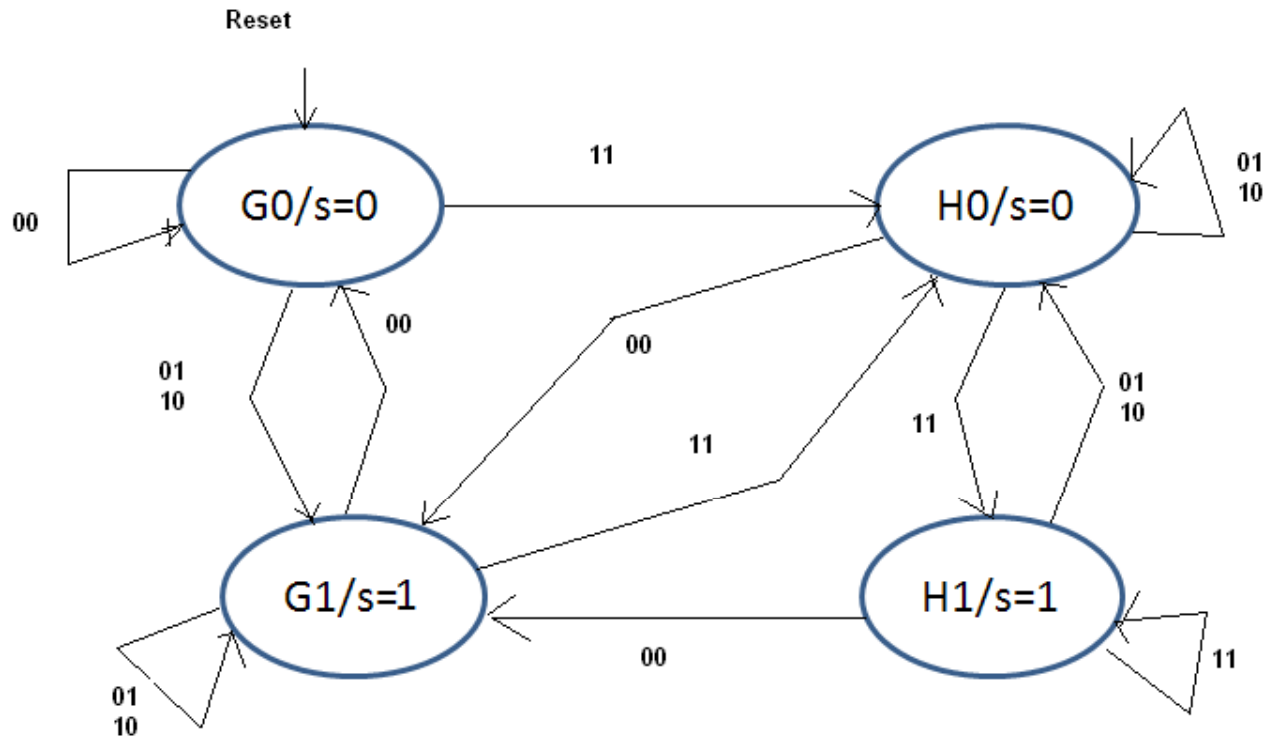
# Sumador serial con Moore



# Sumador serial con Moore

Q	Ent	Q+1	Sal
y	ab	Y	S
G0	00	G0	0
	01	G1	0
	10	G1	0
	11	H0	0
G1	00	G0	1
	01	G1	1
	10	G1	1
	11	H0	1
H0	00	G1	0
	01	H0	0
	10	H0	0
	11	H1	0
H1	00	G1	1
	01	H0	1
	10	H0	1
	11	H1	1

Q	Ent	Q+1	Sal
y <sub>2</sub> y <sub>1</sub>	ab	Y <sub>2</sub> Y <sub>1</sub>	S
00	00	00	0
	01	01	0
	10	01	0
	11	10	0
01	00	00	1
	01	01	1
	10	01	1
	11	10	1
10	00	01	0
	01	10	0
	10	10	0
	11	11	0
11	00	01	1
	01	10	1
	10	10	1
	11	11	1

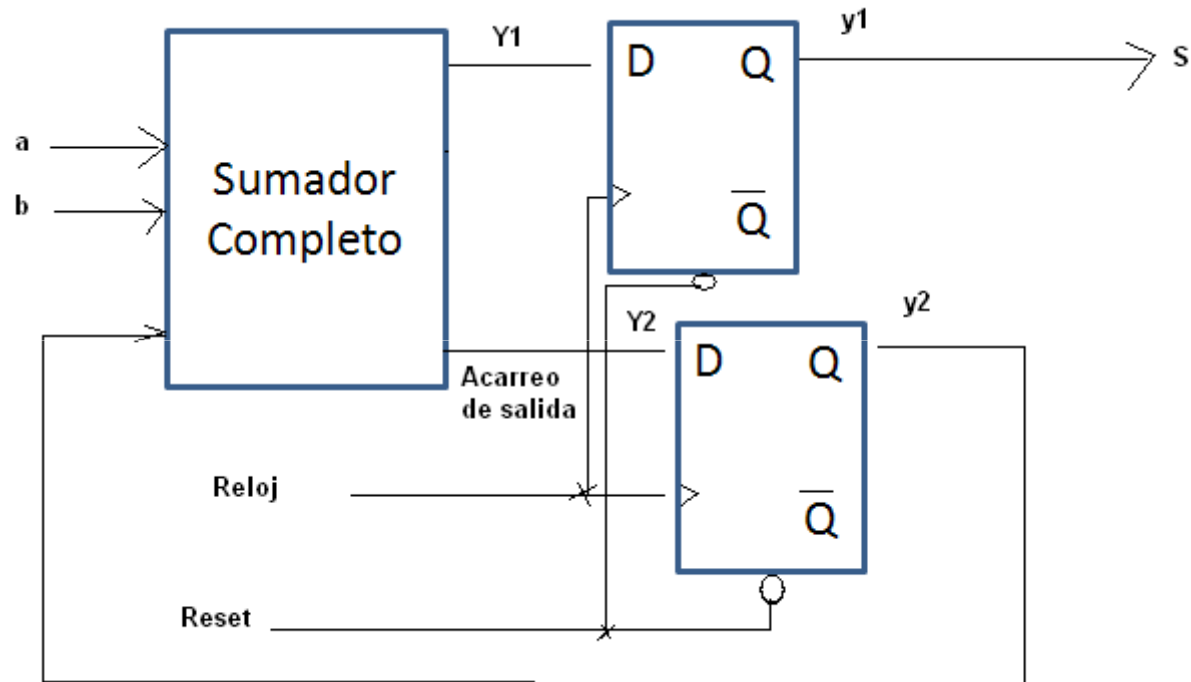


$$Y_1 = a \oplus b \oplus y_2$$

$$Y_2 = ab + ay_2 + by_2$$

$$S = y_1$$

# Sumador serial con Moore



$$Y1 = a \oplus b \oplus y_2$$
$$Y2 = ab + ay_2 + by_2$$
$$S = y_1$$